

微处理器测试和可靠性面临的挑战

客座编辑导言 • 2013 年 12 月

塞西莉亚·梅特拉，博洛尼亚大学

微电子技术的特征尺寸在按照摩尔定律不断缩小，使得微处理器的性能和复杂性不断提高，从而为几年前还不敢想象的创新应用铺平了道路。然而，这也给高性能微处理器的测试和可靠性提出了新挑战。“今日计算”十二月的主题将探讨其中的一些挑战以及相应的解决方案。

新时期的挑战

特征尺寸的缩小增加了制造过程中出现缺陷和参数发生变化的可能性，从而给测试带来了新挑战。传统的测试技术，比如老化测试，因为功率和电压的限制变得越来越困难，而且有可能很快无效或不可行。老化测试可以激活那些在电路运行的第一年发生的故障，这一效用限度加上晶体管栅极绝缘膜变薄正在使“多年现象（aging phenomena）”日益彰显，从而影响电路正常运行，加大可靠性风险。特别地，负偏置温度不稳定性（negative-bias temperature-instability, NBTI）正在成为一个主要问题。NBTI 是指 PMOS（P 沟道金属氧化物半导体）晶体管阈值电压的绝对值发生了正偏移，主要是由于晶体管在强反型中被偏置时产生了正电界面陷阱。其结果是，电路性能劣化，相应区域的系统运行随之可能不正常。

另外，特征尺寸减小，加之电源电压和噪声容限的降低，使得集成电路更容易受到环境诱发故障的影响，例如，因为粒子冲击（例如 α 粒子和中子）引起的瞬时故障。当瞬时故障影响到采样元件或传播到采样单元的输入端并被锁存，就可能产生输出逻辑错误，这就是通常所谓的软错误（soft error）。

还有，系统复杂性的提高加上晶体管导通阈值的降低使得功耗及其管理成为一个严重问题。电源噪声的不确定性增加，越来越难以确定系统在受限功耗条件下正确运行（即没有可靠性风险）的最小电源电压值。过去 50 年，为确保航天、军事、汽车、医疗、银行等领域关键任务应用中集成电路的可靠运行，已经提出了好几种方法，但是把这些方法直接引入主流应用并不可行，其中成本是一个重要因素。因此，创新的、低成本的分析、建模、测试和设计方法都需要直面高性能微处理器遇到的测试和可靠性挑战。

文章

本月主题选择的六篇文章从理论和实践角度为高性能微处理器的创新性测试方法、可靠性分析和提升技术提供了一个全面参考。

开篇文章《时钟故障检测的可测性方法的新设计》是我和 Martin Omaña、T.M. Mak 和 Simon Tam 共同撰写的，提出的方法能够识别一种在制造过程中产生的故障，这种故障影响高性能微处理器中时钟分配网络的信号传递，从而妨碍可靠运行。其他研究人员已经证明，传统的测试策略不能确保检测到此类故障，但我们发现，通过简单修改高性能微处理器中的常规时钟缓冲器，可以强制时钟故障变成“时钟固定故障”（使时钟信号恒等于 Vdd 或接地）。还提出通过对时钟缓冲器进行更多修改，能够在加工后进行校准，以补偿生产过程中引入的参数变化。所提出的方法适用于全局和局部时钟缓冲器，这意味着只需小幅增加时钟缓冲器的面积和功耗，对微处理器的性能或现场运作不带来额外测试成本或影响。

在《用于测试处理器电压波动的自动 Stressmark 生成》中，Youngtaek Kim 和他的同事分析了本领域的电源管理问题。微处理器正常运作过程中，运行不同代码片段会引起电流变化，从而导致电压波动，这正是这篇文章所关注的。为了评估最近的多核 64 位 x86 处理器对上述电压波动的敏感性，文章提出了一种自动生成合适基准的方法。

接下来，Charles R. Lefurgy 和他的同事对本领域的电源管理问题提出了一种解决方案。《面向节能和可靠性维持的 Power7+ 主动防护频带管理》提出了一种在低温和低活跃运行期间调整处理器电压容限的方法，从而能够在确保高活跃期间可靠操作（在性能约束条件下）的同时降低能耗。负载差异会引起温度和电压变化，测试偏差和年限也有影响，因此他们通过调节电压容限来跟踪负载的需求。作者在采用 Power7 和 Power7+ 芯片的原型系统上对所提出的方法进行了验证（相关引用可见论文），结果显示了对能源-效率运作的有效性。

Alessandro Savino 及其同事的《基于微处理器的系统的统计可靠性评估》分析了如何估计微处理器系统对软错误的可靠性。论文提出了一种概率方法，可对运行给定负载的微处理器的可靠性进行评估。作者首先用执行指令集架构中每条指令的成功概率来刻画微处理器，然后对发生软错误时还能成功执行的概率进行了快速分析。他们在 Intel 8088 和 OpenRISC1200 微处理器上评估了这种方法。

在《时序电路的错误掩蔽和恢复特性分析》中，Jinghang Liang、Jie Han 和 Fabrizio Lombardi 探讨了复杂时序电路中可能出现的错误掩蔽问题，即由特定初始输入组合产生的反馈信号所导致的逻辑掩蔽效应，可能掩盖软错误的累积效应。作者采用有限状态机模型中的状态转移矩阵和二元决策图更深入地分析了错误掩蔽。他们通过在序列基准电路上的仿真验证了所提方法，结果很诱人，尽管已经超出本文范围，可以提高时序电路的可靠性。

最后，Martin Omaña 和他的同事在《低成本的 NBTI 退化检测和掩蔽方法》中研究了 NBTI 监视以及使之不影响系统正常运行的方法。文章提出了两种监测时序关键路径上信号延迟转换（由 NBTI 造成）的方法，这种延迟转换会导致数据通路末端的触发器采样出错误数据，论文给出了两种避免这一问题的解决方案。第一个方案称为“小面积低功耗（low area and power, LAP）”方法，使用

一个能够发出报警消息的监控电路,当 NBTI 造成时序关键路径上的信号延迟时,为了避免数据通路末端的触发器错误采样,报警消息将激活一个时钟频率相位调整,从而避免这一关键时序路径输出不正确的数据。这种方法的特点是比较以前的方法需要更小的面积开销和功耗(至少具有可比性),而对性能的影响相同。另一种方法称为高性能方法,使用一个监视电路来覆盖关键时序路径上输出的错误数据。HP 方法比以前的方法对性能的影响更小,但在面积和功耗方面的代价有所增加。

深入探索

本月主题还包括以下视频,是由三位行业专家(按字母顺序)对这方面的问题给出的技术洞见:

- Rob Aitken 来自 ARM 公司
- Erik Altman 来自 IBM 公司
- Bill Eklow 来自 Cisco 公司

希望通过今日计算的本期主题,微处理器测试和可靠性方面的重大挑战能够得到关注,也希望能够激发本领域的进一步研究。

塞西莉亚·梅特拉是今日计算的主编。她是意大利博洛尼亚大学电子学教授,1991年参加工作,她也是在那里获得电子工程和计算机科学博士学位。她是 IEEE 计算机学会理事会的委员(2013-2015)和 IEEE 计算机学会 2014 年技术及会议活动的副主席。她是 IEEE Transactions on Computers 副主编。她是多个专业期刊的编委,曾参与众多的 IEEE 主办的会议、专题讨论会和研讨会,曾 14 次担任大会主席或程序委员会主席,28 次担任主题或方向主席,74 次担任技术程序委员会委员。2002 年,她曾作为顾问访问英特尔美国公司。她的研究兴趣是数字系统的设计和测试、可靠和容错系统设计、容错、在线测试、故障模拟、诊断和调试、新兴技术和纳米计算、安全系统、能量收集系统和光伏系统。她是 IEEE 高级会员和 IEEE 计算机学会的金牌核心会员,曾两次获得优秀服务奖和两个荣誉证书。关于本期主题的意见建议请通过电子邮件(cecilia.metra@unibo.it)联系她。

([黄铁军](#) 译)